

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233443

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3205

(21)Application number : 09-034135

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.02.1997

(72)Inventor : NIWA HIDEO

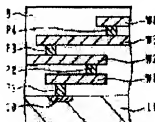
(54) SEMICONDUCTOR DEVICE HAVING MULTILAYERED WIRING AND ITS MANUFACTURING METHOD

(57)Abstract:

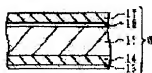
PROBLEM TO BE SOLVED: To realize the long durable life at low resistance value, by a method wherein, within one wiring layer out of a multilayer wiring, a main conductive layer is formed of Al or Al alloy further to form high melting point metallic layers in thickness in contact with the main conductive layer.

SOLUTION: A connecting region 10 is formed in an Si substrate 11 to connect a plug P1 thereon for connecting the plug P1 to the first wiring layer W1. Next, plugs P2, P3 and P4 are respectively connected to the second wiring layer W2, the third wiring layer W3 and the fourth wiring layer W4. Within these wiring layers W, a Ti layer 13 is formed on the lowermost part and then a TiN layer 14 is formed thereon, next, a main conductive layer 15 is formed of Al or Al alloy and then the surface thereof 15 is covered with a Ti layer 16 to be a high melting point layer in thickness of 2nm-7nm further forming another TiN layer 17 on the Ti layer 16.

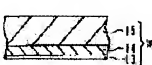
(A)



(B)



(C)

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

CLAIMS

[Claim 6]

[Claim 1] The semiconductor device which is a semiconductor device which has a multilayer interconnection and has the multilayer interconnection which has the main conductive layer in which at least one wiring layer of a multilayer interconnection was formed with aluminum or aluminum alloy, and the 1st refractory-metal layer which contacts the aforementioned main conductive layer, is formed in the top or the bottom, and has the thickness of about 2nm - about 7nm.

[Claim 2] The semiconductor device which is characterized by providing the following and which has a multilayer interconnection according to claim 1, the layer by which the aforementioned 1st refractory-metal layer was formed on the aforementioned main conductive layer -- it is -- further -- the above -- the 1st refractory-metal nitride layer by which one wiring layer was formed on the aforementioned 1st refractory-metal layer even if few The 2nd refractory-metal nitride layer which contacted the aforementioned main conductive layer and was formed in the bottom of it. The 2nd refractory-metal layer formed in the bottom of the aforementioned 2nd refractory-metal nitride layer.

[Claim 3] the aforementioned multilayer interconnection -- the above -- even if few -- one wiring layer -- the direction of a laminating -- adjoining -- the above -- the semiconductor device which has the multilayer interconnection according to claim 2 which has other wiring layers which have the same laminated structure as one wiring layer even if few

[Claim 4] The semiconductor device with which all the aforementioned multilayer interconnections have the multilayer interconnection according to claim 2 which has the same laminated structure except for the wiring layer of the best layer.

[Claim 5] Furthermore, the semiconductor device which has the multilayer interconnection according to claim 1 to 4 which has the tungsten plug which connects the wiring layer which the aforementioned multilayer interconnection adjoins.

[Claim 6] The semiconductor device which is a multilayer interconnection containing the laminated structure which each contacted the main conductive layer of aluminum or aluminum alloy, a refractory-metal layer, and directly, and carried out the laminating, and has the multilayer interconnection which decreases in monotone as the aforementioned refractory-metal layer

thickness becomes lower layer wiring.

[Claim 7] The semiconductor device which has the multilayer interconnection according to claim 6 which decreases in monotone as the aforementioned refractory-metal layer thickness to the thickness of the aforementioned main conductive layer becomes lower layer wiring.

[Claim 8] The semiconductor device which has the multilayer interconnection according to claim 6 or 7 in which the aforementioned main conductive layer contains more resultants of aluminum and a refractory metal than the crystal grain section in the grain boundary section.

[Claim 9] The manufacture method of a semiconductor device that wiring formation conditions are chosen so that the reaction of aluminum and a refractory metal may be permitted as it becomes the upper wiring including the process which manufactures a multilayer interconnection in piles about the two or more layers wiring layer containing the laminated structure which contacted directly and carried out the laminating of the main conductive layer and refractory-metal layer of aluminum or aluminum alloy.

[Claim 10] The aforementioned wiring formation conditions are the manufacture method of the semiconductor device according to claim 9 to which refractory-metal layer thickness is made to increase in monotone as it becomes the upper layer.

[Claim 11] The aforementioned wiring formation conditions are the manufacture method of the semiconductor device according to claim 9 or 10 to which the ratio of the refractory-metal layer thickness to the thickness of the main conductive layer is made to increase in monotone as it becomes the upper layer.

[Claim 12] The aforementioned wiring formation conditions are the manufacture method of the semiconductor device according to claim 9 to which wiring formation temperature is made to increase in monotone as it becomes the upper layer.

[Claim 13] The semiconductor device according to claim 1 to 8 whose aforementioned refractory-metal nitride the aforementioned refractory metal is Ti and is TiN.

[Claim 14] The manufacture method of a semiconductor device according to claim 9 to 12 that the aforementioned refractory metal is Ti and the aforementioned refractory-metal nitride is TiN.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs]

Especially this invention relates to the semiconductor device which has the multilayer interconnection in which a wiring layer contains the laminated structure of the main conductive layer of aluminum or aluminum alloy, and refractory-metal layers, such as Ti, about a semiconductor device.

[0002]

[Description of the Prior Art] A multilayer interconnection is used for a highly-integrated integrated circuit device. Also in wiring, width of a face becomes narrow with the scale down of a semiconductor device. A wiring layer will be thickened if it is going to avoid high resistance-ization of wiring. In having formed the conformal layer insulation layer on the wiring layer, the level difference of the front face of a layer insulation layer becomes large, and it becomes difficult to form the upper wiring.

[0003] Then, carrying out flattening of the layer insulation layer front face is performed. As flattening technology, use of a reflow and a spin-on glass (SOG) layer, chemical machinery polish (CMP), etc. are used. The connection which reaches a lower layer wiring layer after carrying out flattening of the layer insulation layer -- a hole (a contact hole, beer hall) is formed if the width of face of a wiring layer becomes narrow -- connection -- the aspect ratio of a hole -- large -- becoming -- connection -- a hole -- it becomes difficult to be filled up with the upper wiring layer inside

[0004] then, connection -- forming the conductive plug embedding a hole and forming the Gokami layer wiring layer is performed Formation of a plug is performed by the selective growth of a tungsten, growth of a blanket tungsten layer, subsequent CMP, the tungsten removal by etching, etc.

[0005] According to such a process, a wiring layer can be formed on an always flat field, can prevent an open circuit of wiring in the level difference section, can make precision of photolithography high, and can keep the reliability of wiring high.

[0006] Wiring has low resistance enough and not to reduce a property by use, either is desired. Even if it forms wiring so that desired low resistance may be realized, the resistance of the done wiring may become high or resistance may rise with use. [0007] the resistance of wiring -- the resistivity of not only the resistivity of each wiring layer but the connection material between wiring layers (plug), and wiring -- a member -- it is influenced of the

contact resistance of a between, the electromigration at the time of use, etc. Especially in the multilayer interconnection using the plug, resistance of the contact section of an electromigration life and a plug poses a problem. [0008]

[Problem(s) to be Solved by the Invention] Thus, in the semiconductor device which has a multilayer interconnection, the highly reliable multilayer interconnection which has low resistance and a longevity life is required.

[0009] The purpose of this invention is offering the semiconductor device which has low resistance and has the long multilayer interconnection of a use life.

[0010] Other purposes of this invention are offering the method of manufacturing such a semiconductor device.

[0011]

[Means for Solving the Problem] The semiconductor device which is a semiconductor device which has a multilayer interconnection according to one viewpoint of this invention, and has the multilayer interconnection which has the main conductive layer in which at least one wiring layer of a multilayer interconnection was formed with aluminum or aluminum alloy, and the 1st refractory-metal layer which contacts the aforementioned main conductive layer, is formed in the top or the bottom, and has the thickness of about 2nm -- about 7nm is offered.

[0012] According to other viewpoints of this invention, it is a multilayer interconnection containing the laminated structure which each contacted the main conductive layer of aluminum or aluminum alloy, a refractory-metal layer, and directly, and carried out the laminating, and the semiconductor device which has the multilayer interconnection which decreases in monotone is offered as the aforementioned refractory-metal layer thickness becomes lower layer wiring.

[0013] The manufacture method of a semiconductor device that wiring formation conditions are chosen so that the reaction of aluminum and a refractory metal may be permitted is offered as it becomes the upper wiring including the process which manufactures a multilayer interconnection in piles about the two or more layers wiring layer containing the laminated structure which contacted directly and carried out the laminating of the main conductive layer and refractory-metal layer of aluminum or aluminum alloy according to other viewpoints of this invention.

[0014] If aluminum (aluminum alloy) layer and a refractory-metal layer are contacted, a laminating

is carried out and heat treatment is added, the alloy (it is aluminum 3 Ti when a refractory metal is Ti) of aluminum and a refractory metal is formed, resistance is high and the bird clapper is known. It is N2 when it is going to form the barrier layer of a refractory metal nitride on the main conductive layer of aluminum (aluminum alloy). aluminum nitride may be formed in the main conductive-layer front face of aluminum (aluminum alloy) at the time of sputtering of the refractory metal in the inside of the atmosphere to include.

[0015] If aluminum nitride is formed on the main conductive layer, the contact resistance of a wiring layer will increase remarkably. In order to prevent generation of aluminum nitride, it is effective to form a refractory-metal layer thinly before the refractory-metal nitride stratification. Then, aluminum alloy / refractory-metal laminating will arise inevitably.

[0016] According to the experiment which this invention person conducted, when the refractory-metal layer thickness on the main conductive layer of aluminum (aluminum alloy) was chosen as 4-7nm, increase of the resistance in use was prevented and it turns out that it is remarkably effective in lengthening a life.

[0017] Although the reaction of aluminum and a refractory metal consumes aluminum and makes resistance of a wiring layer increase, it makes the resistance over electromigration increase.

Therefore, as for until, it may be desirable to permit the reaction of aluminum and a refractory metal to some extent

[0018] The wiring layer which constitutes a multilayer interconnection receives the different heat history according to the level. The amount of heat treatment to receive decreases as it becomes the upper wiring. In the multilayer interconnection which has aluminum (aluminum alloy) / refractory-metal laminating, when the reaction of aluminum and a refractory metal progresses, the grade of a reaction decreases as it becomes the upper wiring. It is possible by choosing wiring formation conditions to control the reaction of aluminum and a refractory metal.

[0019] What is necessary is to make it decrease in monotone as refractory-metal layer thickness becomes lower layer wiring, in order to prevent the superfluous reaction of aluminum and a refractory metal with lower layer wiring, or just to make it increase wiring formation temperature in monotone as it is made the upper layer. The bad influence by alloying of aluminum and a refractory metal can be suppressed, and good influence can be guaranteed.

[0020]

[Embodiments of the Invention] The result is explained to be the experiment which this invention person conducted one by one. Ti was used as a refractory metal.

[0021] The property of laminating wiring as shown in drawing 1 (A) was investigated. The composition of a sample forms the insulating layers 12, such as a field oxide film, on the front face of the Si substrate 11, and carries out the laminating of the aluminum-Cu alloy layer 15 and the top Ti layer 16 which turn into the bottom Ti layer 13, the bottom TiN layer 14, and the main conductive layer on it, and the top TiN layer 17. The laminating of five layers from the bottom Ti layer 13 to the top TiN layer 17 constitutes one wiring layer W.

[0022] In this composition, the aluminum-Cu alloy layer 15 and the top Ti layer 16 on it have touched directly, and the alloy generation by heat treatment poses a problem. The top Ti layer 16 was formed in about 20nm in thickness in the Prior art. Although the wiring structure which does not create the top Ti layer 16 is also known, if aluminum nitride is formed in aluminum-Cu alloy-layer 15 front face in case the top TiN layer 17 is formed, the contact resistance when forming a plug etc. on it will become high.

[0023] The sample used in the experiment explained below was created on the following conditions.

[0024] The thermal oxidation film (SiO₂) was grown up 100nm in thickness on Si substrate, and the laminating wiring layer W was grown up by sputtering on it. The bottom Ti layer 13 and the top Ti layer 16 were formed by 2kW of sputtering power, and Ar gas ** 1mTorr. The bottom TiN layer 14 and the top TiN layer 17 grew by 5kW of sputtering power, the Ar:N quantity-of-gas flow ratio 1:1, and ambient gas pressure 3mTorr. The aluminum-0.5%Cu alloy layer 15 grew by 10kW of sputtering power, and Ar gas ** 3mTorr. In addition, the sputtering system used the multi chamber system which performs vacuum conveyance.

[0025] Initial sheet resistance was measured immediately after initial creation, resistance of the laminating wiring layer W heat-treated multiple times after that by making about 400 degrees C and heat treatment for 30 minutes into a unit, and whenever it added heat treatment, it measured sheet resistance. The resistance measurement measured nine in a wafer by the eddy current, and asked for the average.

[0026] Drawing 1 (B) is a graph which shows change of the sheet resistance to the repeat of heat

treatment. Among drawing, a curve R0 forms the bottom TiN layer 14 and the aluminum alloy layer 15 on the bottom Ti layer 13 with a thickness of 20nm, and shows the sample which did not form the top Ti layer 16 but formed the direct top TiN layer 17. A curve R1 shows the sample in which the top Ti layer 16 with a thickness of 5nm was formed on the aluminum alloy layer 15. A curve R2 shows the sample in which the top Ti layer 16 with a thickness of 10nm was formed on the aluminum alloy layer 15. A curve R3 shows the sample in which the top Ti layer 16 with a thickness of 20nm was formed on the aluminum alloy layer 15.

[0027] Whenever it repeats heat treatment in each sample so that clearly from drawing, resistance goes up. Resistance is large, so that the thickness of the top Ti layer 16 which the sample R0 which does not have the top Ti layer 16 is low resistance most, and contacts on the aluminum alloy layer 15 will increase, if the property between each sample is compared. From this result, the top Ti layer 16 will have resistance of a wiring layer so low that it is thin, and its resistance of a wiring layer will be lower than the time of how which a top Ti layer twists preparing a top Ti layer, and it will be desirable.

[0028] Drawing 2 makes a base unit a laminating wiring layer as shown in drawing 1 (A), and the composition of the sample in which the multilayer interconnection was formed is shown.

[0029] On the Si substrate 11, the Si oxide film 12 was grown up 500nm in thickness by Plasma TEOS (tetrapod ethoxy silane). It created according to the same process as the sample which explained the 1st wiring layer W1 with reference to drawing 1 (A) on the Si oxide film 12. On the 1st wiring layer W1, the resist pattern was created and the wiring configuration was processed according to the resist pattern by reactive ion etching (RIE).

[0030] The silicon oxide 19 was grown up 2000nm in thickness, and flattening of the front face was carried out by chemical machinery polish (CMP) so that the 1st wiring layer W1 might be covered. the resist pattern which has opening corresponding to the wiring layer connection on Si oxide film 19 front face -- creating -- RIE -- connection -- the hole H1 was formed RF reverse sputter cleaning -- carrying out -- connection -- a hole -- after cleaning inside, the TiN layer 20 was formed by 50nm sputtering in thickness, and the tungsten layer 21 was formed by thickness 500nmCVD after that then, dry etching -- W layers -- the whole surface -- etching -- connection -- a hole -- it left the W field 21 only to the H1

interior

[0031] connection -- the TiN layer 20 and the tungsten field 21 in a hole H1 constitute the conductive plug P1. On the layer insulation layer 19 front face containing a plug P1, the 2nd wiring layer W2 which has the same composition as the wiring layer W shown in drawing 1 (A) was formed. The resist pattern was formed on the 2nd wiring layer W2, it was processed by RIE, and the pattern of the 2nd wiring layer W2 was obtained. Consequently, the 1st wiring layer W1 and the 2nd wiring layer W2 are electrically connected through a plug P1.

[0032] Furthermore, the Si oxide film 24 was formed 2000nm in thickness by CVD, and flattening of the front face was carried out by CMP so that the 2nd wiring layer W2 might be covered. forming a resist pattern on layer insulation film 24 front face, and performing RIE -- connection -- the hole H2 was formed this connection -- a hole -- the best layer wiring was formed so that inside might be embedded the best layer wiring -- connection -- a hole -- after cleaning inside by RF reverse sputter, the Ti layer 25 with a thickness of 30nm and the aluminum-Cu alloy layer 26 with a thickness of 600nm were performed by growing up. The resist pattern was formed after the best layer wiring, and patterning of the best layer wiring layer was carried out.

[0033] The Si oxide film 27 was formed 2000nm in thickness by plasma CVD, and the SiN film 28 was grown up 500nm in thickness on it so that the best layer wiring layer might be covered. the SiN film 28 and the Si oxide film 27 -- penetrating -- a pad -- the hole was formed and the request field of the best layer wiring was exposed. Then, the grinding of the tooth back of the Si substrate 11 was carried out. Thus, to the created sample, 400 degrees C and heat treatment for 30 minutes were repeated, and were performed.

[0034] Drawing 3 shows the experiment of Ti thickness dependency of the beer resistance by the kelvin (Kelvin) pattern.

[0035] Drawing 3 (A) shows the configuration of a kelvin pattern roughly. the 1st wiring layer W1 -- an interstitial segment -- almost -- a right angle -- bending -- **** -- a flexion -- setting -- connection -- a hole -- the inner plug P connects with the 2nd wiring layer W2. It reaches 1st wiring layer W1 and the 2nd wiring layer W2 is connected to pads T1 and T2, and T3 and T4 in ends, respectively. Beer resistance is measured by passing Current i toward T3 from a pad T1, and measuring voltage between a pad T2 and T4. in addition, the width of face of a wiring layer -- 0.54 micrometers and beer -- the hole was 0.44 micrometers of diameters. The

resistance measurement was measured by 4 **** using the usual prober. As a sample, top Ti layer thickness was changed to 0nm, 5nm, 10nm, and 20nm, and 108 samples of the same composition were used, respectively.

[0036] Drawing 3 (B) is a graph which shows a measurement result. The horizontal axis in drawing shows kelvin beer resistance in Unit omega, and a vertical axis shows the accumulation frequency in which the same kelvin beer resistance appears by %.

[0037] As for curves CP0, CP1, CP2, and CP3, top Ti layer thickness shows a sample (0nm, 5nm, 10nm, and 20nm), respectively. The point of measurement in drawing has resistance so high that it goes to the right, and shows the bad result. Moreover, a distribution is as large as a low and a curved inclination shows a bad result. The resistance of the curve CP 0 which does not have a top Ti layer itself is strong, and the distribution also shows the bad large result.

[0038] To the curve CP 0 which does not have a top Ti layer, resistance becomes low remarkably, the curves CP1, CP2, and CP3 in which the top Ti layer was formed become sudden [a curved inclination], and a distribution becomes narrow and they show the improved result. In addition, the difference by top Ti layer thickness is not accepted so much. It turns out that it is remarkably desirable to form a top Ti layer from this result in the composition which connects between wiring layers through a plug, and it is almost indispensable.

[0039] Drawing 4 shows the experiment of the electromigration in a single wiring layer. Drawing 4 (A) is the outline plan showing the circuit pattern of a sample. The wiring layer W has pads T5 and T6 to ends, and passes current toward a pad T6 from a pad T5. Pads T7 and T8 are further connected in the middle of the wiring layer W, and the voltage drop in a wiring layer is measured.

[0040] The sample used for this experiment is composition as shown in drawing 1 (A), and formed the laminating wiring layer W on the Si substrate L1 according to the process which grew 500nm in thickness and explained the Si oxide film 12 of Plasma TEOS with reference to drawing 1 (A) on it. Top Ti layer thickness made it change with 0nm, 5nm, 10nm, and 20nm like an above mentioned case. The resist pattern was formed on this wiring layer, RIE was performed, and patterning of the wiring layer W was carried out. The width of face of circuit pattern W was changed to 0.6 micrometers, 2 micrometers, and 8 micrometers. On the wiring layer W, flattening of the Si oxide film of Plasma TEOS was carried out

by CMP by 2000nm growing, and the insulator layer was formed. The insulator layer was penetrated and puncturing which reaches a pad was formed by patterning using a resist pattern and RIE. Then, 450 degrees C and annealing for 30 minutes were performed 10 times.

[0041] The evaluation method in an experiment passes current from the ends T5 and T6 of Wiring W, and carries out the monitor of the resistance. When resistance rises 20%, it is judged that the sample is poor. 20 samples are examined on the same conditions, a poor number assumes that a log normal distribution is followed, and 50% estimates the poor 50% time t50 which becomes poor. It sets to the sample of each wiring width of face, and current density is 2 MA/cm2 in common. It set up. That is, wiring **** passed so much current the latus case. The neglect temperature of a sample was 250 degrees C.

[0042] Drawing 4 (B) is a graph which shows an experimental result. A horizontal axis shows top Ti layer thickness in Unit nm, and a vertical axis shows the poor time t50 in unit time (hrs) 50%.

[0043] The curve L1 which shows the sample whose wiring width of face is 0.6 micrometers shows maximum by 5nm of top Ti layer thickness, and shows the result which decreases as the 2nd Ti layer thickness becomes thick. Moreover, poor 50% time when not having a top Ti layer is decreasing by 1 or more figures from maximum. If the curve L2 which shows the sample whose wiring width of face is 2 micrometers has the shortest poor time and forms a top Ti layer 50% when not forming a top Ti layer, it is not based on the thickness but the poor 50% time t50 shows the value of the improved simultaneously regularity.

[0044] The poor time t50 improves 50% as the poor time t50 shows the minimum value 50% and a top Ti layer is set to 5nm and 10nm, when the curve L3 which shows the sample whose wiring width of face is 8 micrometers does not have a top Ti layer.

[0045] The result shown in drawing 4 (B) shows the behavior which changes with wiring width of face. If wiring width of face grows a direct TiN layer on aluminum alloy layer a latus case (2 micrometers, 8 micrometers), a life is short and the bird clapper is shown. This is in agreement with the fact generally known. When wiring width of face is narrow (0.6 micrometers), maximum with top Ti layer thickness characteristic in 5nm circumference is shown. More specifically, the examination of 2853 hours was performed and only three pieces became poor among 20 samples. [0046] Drawing 5 shows the experiment of length dependence electromigration (LDEM, length dependence electromigration).

[0047] Drawing 5 (A) shows the composition of a sample roughly. On the Si substrate 11, the Si oxide film 12 with a thickness of 500nm was formed by Plasma TEOS, and the 1st wiring layers W11 and W12, --, the 2nd wiring layers W21 and W22 and the structure which connected -- through plugs P1 and P2 and -- were created on it. Creation of wiring structure is the same as that of the process explained with reference to drawing 2. 400 degrees C and heat treatment for 30 minutes were performed 5 times after the tooth-back grinding of Si substrate.

[0048] the connection whose wiring width of face is 0.54 micrometers, and, as for the configuration of a sample, forms plugs P1 and P2 and -- the path of a hole is 0.5 micrometers The 2nd wiring layers W21 and W22 and -- are connected with the 1st wiring layers W11 and W12 and -- by plugs P1 and P2 and -- by turns.

[0049] The length of a wiring layer 2 micrometers (W11) - 2 micrometers (W21) - 5 micrometers (W12) - 5 micrometers (W22) - 10 micrometers (W13) It was made to change gradually with - 10 micrometers (W23) - 20 micrometers (W14) - 20 micrometers (W24) - 50 micrometers (W15) - 50 micrometers (W25) - 100 micrometers (W16) - 100 micrometers (W26) - 200 micrometers (W17) - 200 micrometers (W27), and connected.

[0050] Measurement maintained the sample into 250-degree C atmosphere, passed 2mA current from pattern ends, and carried out the monitor of the resistance of the connected wiring at intervals of 5 minutes. When resistance becomes high 20% from initial resistance, it is defined as wiring having become poor. The same conditions estimated 20 samples, and the poor number assumed that a log normal distribution was followed, and computed the poor time t50 50%.

[0051] Drawing 5 (B) shows a measurement result. A horizontal axis shows top Ti layer thickness in Unit nm, and a vertical axis shows the poor time t50 in unit time (hrs) 50%. A curve L4 shows LDEM to the connection wiring whose wiring **** is 0.54 micrometers. If top Ti layer thickness is set to 5nm from 0nm, poor 50% time of LDEM improves a little. If top Ti layer thickness increases to 10nm from 5nm, the poor 50% time t50 of LDEM will fall quickly, and if the Gokami side Ti layer thickness is made to increase, it will decrease still more nearly gently.

[0052] Although it is the value which it is last minute and can be used also in poor 50% time in case top Ti layer thickness is 20nm, a margin serves as severe conditions on management few. If the 2nd Ti layer thickness is set to 10nm, a life will become long a little. When the 2nd Ti layer

thickness is 5nm, a life becomes long sharply and the result which was very excellent is shown.

[0053] When not creating a top Ti layer, the good result near at the time of the thickness whose top Ti layer is 5nm is shown. However, if a top Ti layer is not used as shown in the experimental result of drawing 3 (B), the value of beer resistance will become high, and as shown in the experimental result of drawing 4 (B), poor 50% time in the same wiring layer will become low.

[0054] When forming Ti layer which contacts aluminum (aluminum alloy) layer directly putting the above result together, by choosing more preferably 2nm - 7nm of the thickness within the limits of 4nm - 7nm shows that the result which was excellent in criticality is obtained.

[0055] Drawing 6 shows the sketch of the cross-section transverse-electromagnetic photograph after heat treatment of the sample to which top Ti layer thickness was changed. As for drawing 6 (A), the top Ti layer 16 shows a case with a thickness of 5nm. The aluminum alloy layer 15 formed crystal grain, and the aluminum-Ti reactant field 18 where a top Ti layer (W24) and aluminum reacted has appeared in the grain-boundary field to which crystal grain touches. However, on aluminum crystal grain, the top Ti layer 16 hardly reacted with aluminum, but remains with Ti layer.

[0056] Drawing 6 (B) shows the cross-section structure of the sample which set top Ti layer thickness to 10nm. In this sample, a top Ti layer disappears and the aluminum-Ti reaction layer 18 to which aluminum and Ti reacted is formed also in the crystal grain upper part of the aluminum alloy layer 15. The aluminum-Ti reactant is recognized to be aluminum₃Ti, and has the thickness which increased rather than the early top Ti layer (10nm in thickness).

[0057] Drawing 6 (C) shows the composition of the sample at the time of setting top Ti layer thickness to 20nm. A top Ti layer disappears also in the crystal grain upper part of the aluminum alloy layer 15, the aluminum-Ti reaction layer 18 is formed more thickly, and the thickness of the aluminum alloy layer 15 is thin.

[0058] Although the reason is still unknown, when thin Ti layer is formed on aluminum (aluminum alloy) layer, even if it heat-treats, the reaction of aluminum and Ti is suppressed, and it turns out that the aluminum-Ti reaction is advancing only in the grain-boundary section.

[0059] When the reaction of aluminum and Ti arises, it is judged that reaction layer thickness is determined according to Ti layer thickness. Therefore, aluminum-Ti reaction layer thickness

will be decided by Ti layer thickness and heat treatment conditions.

[0060] Putting the above results including the result of drawing 6 together, in the multilayer-interconnection structure of connecting between wiring layers with a plug, it is desirable to form thin Ti layer on aluminum (aluminum alloy) layer, as for this Ti layer thickness, it is desirable to be referred to as about 2nm - about 7nm, and it is still more desirable to be referred to as about 4nm - 7nm. Creating Ti layer with a thickness of 2nm has especially the desirable thing to consider as the thickness of about 4nm - about 7nm, when a production control top also has a difficult point and the ease of management of a manufacturing process is also taken into consideration.

[0061] Drawing 7 shows roughly the multilayer-interconnection structure by the example of this invention. The connection field 10 is formed in the Si substrate 11, and the plug P1 is connected on it. It connects with a plug P1 and the 1st wiring layer W1 is connected to a plug P2 on the upper surface. It connects with a plug P2 and the 2nd wiring layer W2 is connected to a plug P3 on the upper surface. It connects with a plug P3 and 3rd wiring layer W3 is connected to a plug P4 on the upper surface. The 4th wiring layer W4 is connected to a plug P4. These multilayer interconnections are insulated from the circumference by the insulating region 9.

[0062] Drawing 7 (B) shows the laminated structure of wiring layers other than the wiring layer of the best layer. Each wiring layer W has the Ti layer 13 at the bottom, and the TiN layer 14 is formed on it. The aluminum (aluminum alloy) layer 15 which is the main conductive layer is formed on the TiN layer 14, and the 4-7nm Ti layer 16 is a wrap more preferably 2-7nm in thickness about main conductive-layer 15 front face. The TiN layer 17 is formed on this Ti layer 16. It becomes possible to suppress resistance of a wiring layer low and to keep a life long by setting more preferably to 4-7nm 2-7nm of thickness of the Ti layer 16 which touches the main conductive layer 15 directly.

[0063] Drawing 7 (C) shows the laminated structure of wiring of the best layer. The wiring layer WT of the best layer consists of laminations of the Ti layer 13, the TiN layer 14, aluminum, or the aluminum alloy layer 15, and does not have Ti layer and a TiN layer on it. Since it is not necessary to connect the best layer wiring layer to a plug further, upper Ti layer and a TiN layer are eyes an unnecessary hatchet.

[0064] In addition, it is known that it will be easy

to produce especially electromigration in aluminum grain boundary. In aluminum grain boundary, when a aluminum-Ti reaction is produced, it is expected that resistance improves to electromigration. For that, to produce a certain amount of aluminum-Ti reaction is desired.

[0065] In a multilayer interconnection, the amount of heat treatment decreases, so that it becomes the upper wiring. Probably, it will be so desirable that it will go to lower layer wiring in the multilayer interconnection in which each wiring layer contains the laminating of an aluminum (aluminum alloy) layer-Ti layer if this point is taken into consideration to make Ti layer thickness thin.

[0066] For example, Ti layer thickness which contacts aluminum (aluminum alloy) layer and directly is made to increase from a lower layer in monotone like 5nm, 10nm, 15nm, and 20nm toward the upper layer in a multilayer interconnection. In order to prevent too much reaction of aluminum-Ti, you may make it increase from a lower layer in monotone like 5nm, 10nm, 10nm, and -- toward the upper layer. If a process margin is also taken into consideration, various change of thickness can be boiled and set up.

[0067] In addition, you may make wiring formation temperature high as it becomes the upper wiring using Ti layer of the same thickness, in case a multilayer interconnection is created.

[0068] Hereafter, taking the case of the case where a CMOS semiconductor device is manufactured, the manufacture method of the semiconductor device by the example of this invention is explained.

[0069] As shown in drawing 8 (A), the SiN film pattern 33 is formed through the buffer oxide film 32 on p type Si substrate 31 front face. The SiN film pattern 33 functions as an oxidation mask in LOCOS. The field covered by the SiN film pattern 33 turns into an active region, and a field oxide film is formed in other fields.

[0070] In order to form n type well for creating p channel MOS FET, the resist pattern R1 which has puncturing to n type well field is created. This resist mask R1 is used as a mask, and the ion implantation of the P ion is carried out to the p type Si substrate 31 through the SiN film 33 and the buffer oxide film 32. Thus, after performing the ion implantation for n type well formation, the resist mask R1 is removed, it oxidizes thermally in an oxidizing atmosphere, and an oxide film is grown up according to a LOCOS process.

[0071] As shown in drawing 8 (B), after forming the field oxide film 36, the wrap resist mask R2 is

formed for n type well 34, and B ion implantation for p type well formation is performed. p type well 38 is formed by the ion implantation of B. Then, the resist mask R2 and the SiN film pattern 33 are removed. Then, the buffer oxide film on n type well 34 and p type well 38 front face is also removed.

[0072] As shown in drawing 8 (C), the gate oxide film 41 is formed in the exposed active region front face by thermal oxidation. Furthermore, on the gate oxide film 41, the polycrystalline Si film 42 is grown up by CVD, and the WSi layer 43 is grown up by CVD or PVD if needed. Furthermore, the need is accepted and it is SiO₂ on the WSi layer 43. A film 44 is grown up by CVD.

[0073] In addition, when the polycrystalline Si film 42 and the WSi layer 43 are grown up, these laminations form the gate electrode layer G. When a gate electrode layer is formed only in a polycrystalline Si layer, in the silicide reaction process performed next, a silicide film is formed on a polycrystalline Si film.

[0074] After forming the laminated structure for gate electrodes, the resist pattern R3 is formed on a laminating, and patterning of a gate electrode is performed. After carrying out patterning of the laminated structure, the resist mask R3 is removed.

[0075] The resist mask R4 which has puncturing which exposes p type well 38 as shown in drawing 9 (A) is formed, the ion implantation of the P ion is carried out, and it is n for LDD. A layer 46 is formed. The resist mask R4 is removed after that, and the resist mask R5 which has puncturing which exposes n type well 34 is formed shortly.

The resist mask R5 is used as a mask, and it is BF₂. The ion implantation of the ion is carried out and it is p for LDD. A field 47 is formed. The resist mask R5 is removed after that.

[0076] As shown in drawing 9 (B), a gate electrode is covered, a SiO film is formed by CVD on the whole substrate surface, and the gate sidewall 48 is formed only on a gate electrode side attachment wall by performing anisotropic etching. The gate electrode upper surface is also being worn by oxide-film 44a.

[0077] The ion implantation of the As is carried out to p type well 38 using the resist mask same with having been shown in drawing 9 (A) as shown in drawing 9 (C), the source / drain field 49 of high high impurity concentration are formed, and it is BF₂ to n type well 34. An ion implantation is carried out and the source / drain field 50 of high high impurity concentration are formed.

[0078] As shown in drawing 10 (A), Ti layer is

deposited on the whole substrate surface, and the TiSi layer 51 is formed by heat-treating on the field which Si has exposed. An unreacted Ti layer is removed after this silicide reaction. In addition, Co may be used instead of Ti and a CoSi layer may be formed.

[0079] In drawing 8 (C), a gate electrode is formed only in a polycrystalline Si layer, and it is SiO₂. When a film 44 is not formed, either, a silicide layer is formed also on a polycrystalline gate electrode layer.

[0080] Drawing 10 (B) shows this case. Ti layer is deposited on the whole substrate surface, and the TiSi layer 51 is formed by heat-treating and carrying out a silicide reaction on the source / drain fields 49 and 50, and the polycrystalline silicon-gate electrode 42.

[0081] Thus, after forming CMOS structure, the layer insulation film 52 is formed on a front face. The layer insulation film 52 is set to silicon-oxide layer 52a by CVD from the laminating of SOG layer 52b. In addition, after forming an SOG film, flattening of the front face is carried out by CMP. Then, a contact hole 53 is formed using a resist mask.

[0082] It is shown in drawing 11 (A) -- as -- connection -- connection on the insulating-layer 52 front face in which the hole 53 was formed -- the inside top of a hole 53 -- the Ti layer 54 and the TiN layer 55 -- depositing -- after that and CVD -- the tungsten layer 56 -- growing up -- connection -- a hole is embedded. Then, the tungsten layer 56 on an up flat side is removed by etching extensively.

[0083] Then, the 1st wiring layer W1 formed by the laminating of the Ti layer 13, the TiN layer 14, aluminum or the aluminum alloy layer 15, the Ti layer 16, and the TiN layer 17 is formed, and patterning is carried out using a resist mask. Under the present circumstances, let thickness of the top Ti layer 16 be the thickness of 2-7nm. [0084] In addition, although the case where a tungsten layer was removed by etching was explained, CMP may remove the tungsten layer on a flat side.

[0085] Drawing 11 (B) shows this case. After the tungsten stratification, CMP is performed and the flat front face of an insulating layer 52 is exposed. connection -- in a hole 53, the Ti layer 54, the TiN layer 55, and the W field 56 are left behind. Then, the 1st wiring layer W1 is formed.

[0086] As shown in drawing 11 (C), after forming the 1st wiring layer W1, the layer insulation film 57 is formed and flattening of the front face is carried out. the layer insulation film 57 -- connection -- a hole is formed, 59 is formed 58 or W layers of TiN layers, and etching removes W layers on a flat side. Thus, the plug which

penetrates the layer insulation film 57 is formed. [0087] In addition, CMP besides etching may perform removal of W layers on a flat side like the above-mentioned. Drawing 11 (D) This case is shown. CMP is performed after the tungsten stratification, layer insulation film 57 front face is exposed, and a flat front face is formed.

[0088] Then, the process shown in drawing 11 (A) and (B) and the same process are performed, and the 2nd wiring layer is formed. henceforth, layer insulation film formation and connection -- a hole -- the process of formation, plug formation, and the wiring stratification is repeated, and the multilayer interconnection structure of a required number of layers is acquired. In each wiring layer, it is desirable to form Ti layer with a thickness of 2-7nm on the main conductive layer of aluminum or aluminum alloy.

[0089] In addition, when forming a aluminum-Ti alloy field in the grain-boundary section of the main conductive layer positively, you may thicken Ti layer thickness. In this case, things are thickly (Ti layer thickness is made thin, so that it goes to a lower layer) desirable so that it goes to the upper layer in consideration of the history of heat treatment in a multilayer interconnection in Ti layer thickness. As for decreasing the ratio of Ti layer thickness to aluminum (aluminum alloy) layer thickness so in monotone that it becoming a lower layer, it is desirable to make aluminum (aluminum alloy) layer thickness so thick that it become the upper layer etc. when making it change according to level.

[0090] As shown in drawing 12, the phenomenon in which aluminum wiring in a beer hall blisters in the shape of a salient with heat treatment after hole opening is reported from several years before. The wiring layer W is formed on insulating layer 9a, and the front face is worn by insulating layer 9b. The beer hall H which penetrates insulating layer 9b and reaches the wiring layer W is formed. If heat treatment for forming the Gokami layer wiring is performed, Salient PJ will arise in a beer hall H. The parameter which determines this is considered depending on the thickness (strength) of TiN/Ti which is in the upper part of heat treatment and lower layer wiring (for example, the 1st layer wiring) at the time of growth of the upper wiring (for example, two-layer watch line).

[0091] As for this phenomenon, aluminum is explained to extrude in a beer hall for the stress from the insulator layer of the difference in a coefficient of thermal expansion to the circumference. Therefore, it is imagined easily that it is hard to come out, so that TiN/Ti on

aluminum is thick, and heat treatment at the time of the upper wiring layer growth cannot come out of a low easily.

[0092] However, in the above-mentioned example, in order to raise reliability, Ti tends to be made thin, and it is also going to make aluminum-Ti reaction thickness thin further. It will become easy to come out of a poor salient if a reaction layer is thin. It is more advantageous to thicken Ti layer (TiN/Ti layer) little by little from the 2nd layer wiring layer, even if it made Ti of the 1st layer wiring layer thin, in order to prevent a poor salient. Probably, it will be more desirable, in order for the direction where the reaction also carried out aluminum and Ti to be salient poor prevention, if it can do. However, if Ti raises heat treatment temperature in the thin state suddenly, since a salient will come out at the time, it is desirable to perform gradual strengthening of not making the 1st layer react at low temperature, but making it somewhat thick from a two-layer eye, or raising temperature, and making it react etc.

[0093] Since wiring thickness tends to become thick as a general inclination as it goes to wire the upper layer, if sheet resistance is taken into consideration, the direction to which carried out Ti ** thickly relatively, and it was made to react will become advantageous about a poor salient.

[0094] In addition, in consideration of the margin in a manufacture process, it is good also as the same to all wiring layers in Ti layer thickness (or ratio of thickness). In this case, it is so desirable that it goes to the upper layer to make high heat treatment temperature at the time of the wiring stratification.

[0095] After forming the wiring layer of the best layer, Si oxide films (PSG etc.), an SOG film, a SiN covering film, etc. are grown up as an insulator layer. Then, puncturing for pad formation is formed by RIE using the resist pattern. Finally, annealing in hydrogen atmosphere is performed, tooth-back grinding is performed, and a semiconductor device is completed.

[0096] As mentioned above, although the case where Ti was used as a refractory metal was explained, other refractory metals, such as W, can also be used. In this case, as for TiN, considering as the refractory metal nitride of WN is good.

[0097] Although this invention was explained in accordance with the example above, this invention is not restricted to these. for example, various change, improvement, combination, etc. are possible -- this contractor -- obvious -- it will be . [0098]

[Effect of the Invention] As explained above, according to this invention, resistance of wiring

containing contact resistance is low, and the semiconductor device which has a reliable multilayer interconnection to electromigration etc. is offered.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section and graph for explaining the experiment which this invention person conducted.

[Drawing 2] It is a cross section for explaining the experiment which this invention person conducted.

[Drawing 3] It is the plan and graph for explaining the experiment which this invention person conducted.

[Drawing 4] It is the plan and graph for explaining the experiment which this invention person conducted.

[Drawing 5] It is the cross section and graph for explaining the experiment which this invention person conducted.

[Drawing 6] It is the sketch of the transverse-electromagnetic photograph in which the cross-section composition of the sample obtained as a result of the experiment is shown.

[Drawing 7] It is a cross section for explaining the multilayer interconnection by the example of this invention.

[Drawing 8] It is a cross section for explaining the manufacture method of the semiconductor device by the example of this invention.

[Drawing 9] It is a cross section for explaining the manufacture method of the semiconductor device by the example of this invention.

[Drawing 10] It is a cross section for explaining the manufacture method of the semiconductor device by the example of this invention.

[Drawing 11] It is a cross section for explaining the manufacture method of the semiconductor device by the example of this invention.

[Drawing 12] It is the cross section showing roughly the salient phenomenon produced in aluminum wiring in a beer hall.

[Description of Notations]

9 Insulating Region

11 Si Substrate

12 Si Oxide Film

13 Bottom Ti Layer

14 Bottom TiN Layer

15 The Main Conductive Layer

16 Top Ti Layer

17 Top TiN Layer

18 Aluminum-Ti Reaction Layer

19, 24, 27, 32 Si oxide film

20 TiN Layer

21 Tungsten Layer

25 Ti Layer

26 Aluminum-Cu Conductive Layer

28 33 SiN layer

31 P Type Si Substrate

34 N Type Well

36 Field Oxide Film

38 P Type Well

41 Gate Oxide Film

42 Polycrystal Si Layer

43 WSi Layer

44 Oxidization Si Layer

G Gate electrode

46 47 LDD field

48 Side Spacer

49 50 The quantity high-impurity-concentration source / drain field

51 Silicide Layer

52 Insulating Layer

53 Connection -- Hole

54 Ti Layer

55 TiN Layer

56 Tungsten Layer

57 Layer Insulation Film

58 TiN Layer

59 Tungsten Layer

W1-W4, WT Wiring layer

P1-P4 Conductive plug

H1, H2 End connection

T1-T8 Pad

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平10-233443

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.⁴

識別記号

FI

H01L 21/768
21/28
21/3205

301

H01L 21/90
21/28
21/68B
301R
N
R

審査請求 未請求 請求項の数14 O.L. (全13頁)

(21)出願番号 特願平9-34135

(22)出願日 平成9年(1997)2月18日

(71)出願人 000006223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 丹羽 秀夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

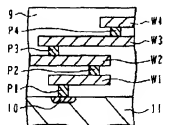
(54)【発明の名称】 多層配線を有する半導体装置及びその製造方法

(57)【要約】

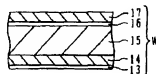
【課題】 配線層がAlまたはAl合金の主導電層とT1層との積層構造を含む多層配線を有する半導体装置に
関し、低抵抗値を有し、使用寿命の長い多層配線を有する
半導体装置を提供する。

【解決手段】 多層配線を有する半導体装置であって、
多層配線の少なくとも1つの配線層が、AlまたはAl
合金で形成された主導電層と、前記主導電層に接触して
その上または下に形成され、約2nm〜約7nmの厚さを
有する第1高融点金属層とを有する多層配線を有する
半導体装置が提供される。

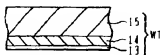
(A)



(B)



(C)



【特許請求の範囲】

【請求項1】 多層配線を有する半導体装置であって、多層配線の少なくとも1つの配線層が、

A1またはA1合金で形成された主導電層と、

前記主導電層に接触してその上または下に形成され、約2nm～約7nmの厚さを有する第1高融点金属層とを有する多層配線を有する半導体装置。

【請求項2】 前記第1高融点金属層が前記主導電層の上に形成された層であり、さらに前記少なくとも1つの配線層が、

前記第1高融点金属層の上に形成された第1高融点金属層と、

前記主導電層に接触して、その下に形成された第2高融点金属層と、

前記第2高融点金属層と高融点金属層の下に形成された第2高融点金属層とを有する請求項1記載の多層配線を有する半導体装置。

【請求項3】 前記多層配線が、前記少なくとも1つの配線層に積層方向で隣接し、前記少なくとも1つの配線層と同じ積層構造を有する他の配線層を有する請求項2記載の多層配線を有する半導体装置。

【請求項4】 前記多層配線が、最上層の配線層を除いて全て同一の積層構造を有する請求項2記載の多層配線を有する半導体装置。

【請求項5】 さらに、前記多層配線の隣接する配線層を接続するタングステンプラグを有する請求項1～4のいずれかに記載の多層配線を有する半導体装置。

【請求項6】 各々が、A1またはA1合金の主導電層と高融点金属層と直接接触して積層した積層構造を含む多層配線であって、前記高融点金属層の厚さが下層配線になるに従って単調に減少する多層配線を有する半導体装置。

【請求項7】 前記主導電層の厚さに対する前記高融点金属層の厚さが下層配線になるに従って単調に減少する請求項6記載の多層配線を有する半導体装置。

【請求項8】 前記主導電層が結晶境界で結晶粒部よりも多くA1と高融点金属の反応生成物を含む請求項6または7記載の多層配線を有する半導体装置。

【請求項9】 A1またはA1合金の主導電層と高融点金属層とを直接接触して積層した積層構造を含む配線層を複数層重ねて多層配線を製造する工程を含み、上層配線になるに従ってA1と高融点金属との反応を許容するように配線形成条件が選択されている半導体装置の製造方法。

【請求項10】 前記配線形成条件は、上層になるに従って高融点金属層の厚さを単調に増加させる請求項9記載の半導体装置の製造方法。

【請求項11】 前記配線形成条件は、上層になるに従って主導電層の厚さに対する高融点金属層の厚さの比を単調に増加させる請求項9または10記載の半導体装置

の製造方法。

【請求項12】 前記配線形成条件は、上層になるに従って配線形成温度を単調に増加させる請求項9記載の半導体装置の製造方法。

【請求項13】 前記高融点金属がTiであり、前記高融点金属窒化物がTiNである請求項1～8のいずれかに記載の半導体装置。

【請求項14】 前記高融点金属がTiであり、前記高融点金属窒化物がTiNである請求項9～12のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に配線層がA1またはA1合金の主導電層とTi等の高融点金属層との積層構造を含む多層配線を有する半導体装置に関する。

【0002】

【従来の技術】 高集積度の集積回路装置には多層配線が用いられる。半導体素子のスケールダウンに伴い、配線も幅が狭くなる。配線の高抵抗化を避けるようすなわち、配線層を厚くすることになる。配線層の上にコンフォーマルな層間絶縁層を形成したのでは層間絶縁層の表面の段差が大きくなり、上層配線を形成することが困難になる。

【0003】 そこで、層間絶縁層表面を平坦化することが行なわれる。平坦化技術としては、リフロー、スピンオンガラス（SOG）層の使用、化学機械研磨（CMP）等が用いられる。層間絶縁層を平坦化した後、下層配線層に達する接続孔（コンタクトホール、ビアホール）を形成する。配線層の幅が狭くなると、接続孔のアスペクト比も大きくなり、接続孔内に上層配線層を充填することが困難になる。

【0004】 そこで、接続孔を埋め込む導電性のプラグを形成し、その後上層配線層を形成することが行なわれる。プラグの形成は、タングステンの選択成長、プラズマタングステン層の成長とその後のCMPやエッチングによるタングステン除去等によって行なわれる。

【0005】 このような工程によれば、配線層は平坦な面の上に形成することになり、段差部での配線の断線を防止し、ホトリソグラフィの精度を高くし、配線の信頼性を高く保つことができる。

【0006】 配線は十分に低い抵抗値を有し、使用によっても特性を低下させないことが望まれる。所望の低抵抗値を実現するように配線を形成しても、出上がった配線の抵抗値が高くなったり、使用に伴って抵抗値が上昇してしまうことがある。

【0007】 配線の抵抗値は、各配線層の抵抗率のみでなく、配線層間の接続部材（プラグ）の抵抗率、配線部材間の接触抵抗、使用時のエレクトロマイグレーション等の影響を受ける。プラグを用いた多層配線において

は、特にエレクトロマイグレーション寿命とプラグの接触部の抵抗が問題となる。

【0008】

【発明が解決しようとする課題】このように、多層配線を有する半導体装置において、低抵抗値と長寿命を有する高信頼性の多層配線が要求される。

【0009】本発明の目的は、低抵抗値を有し、使用寿命の長い多層配線を有する半導体装置を提供することである。

【0010】本発明の他の目的は、このような半導体装置を製造する方法を提供することである。

【0011】

【課題を解決するための手段】本発明の一観点によれば、多層配線を有する半導体装置であって、多層配線の少なくとも1つの配線層が、AlまたはAl合金で形成された主導電層と、前記主導電層に接続してその上または下に形成され、約2nm〜約7nmの厚さを有する第1高融点金属層とを有する多層配線を有する半導体装置が提供される。

【0012】本発明の他の観点によれば、各々が、AlまたはAl合金の主導電層と高融点金属層と直接接続して積層した積層構造を含む多層配線であって、前記高融点金属層の厚さが下層配線になるに従って単調に減少する多層配線を有する半導体装置が提供される。

【0013】本発明の他の観点によれば、AlまたはAl合金の主導電層と高融点金属層とを直接接続して積層した積層構造を含む配線層を複数重ねて多層配線を製造する工程を含み、上層配線になるに従ってAlと高融点金属との反応を許容するように配線形成条件が選択されている半導体装置の製造方法が提供される。

【0014】Al（Al合金）層と高融点金属層とを接触させて積層し、熱処理を加えると、Alと高融点金属の合金（高融点金属がTiの場合Al₃Ti）が形成され、抵抗が高くなることが知られている。Al（Al合金）の主導電層上に、高融点金属化合物のバリア層を形成しようとするとき、N₂を含む雰囲気中での高融点金属のスパッタリング時に、Al（Al合金）の主導電層表面上にAl化合物が形成される可能性がある。

【0015】主導電層上にAl化合物が形成されると、配線層の接触抵抗は著しく増大してしまう。Al化合物の生成を防止するためには、高融点金属化合物層形成前に薄く高融点金属層を形成することが有効である。すると、Al合金/高融点金属層が必然的に生じてしまう。

【0016】本発明者の行った実験によれば、Al（Al合金）の主導電層上の高融点金属層の厚さを4〜7nmに選択すると、使用における抵抗値の増大を防止し、寿命を長くするのに著しく有効であることが判った。

【0017】Alと高融点金属との反応は、Alを消費

して配線層の抵抗を増加させるが、エレクトロマイグレーションに対する耐性を増加させる。従って、ある程度まではAlと高融点金属との反応を許容することが望ましい場合もある。

【0018】多層配線を構成する配線層は、そのレベルに応じて異なった熱履歴を受ける。上層配線になるに従って、受ける熱処理の量は減少する。Al（Al合金）/高融点金属層を有する多層配線において、Alと高融点金属の反応が進む場合、反応の程度は上層配線になるに従って減少する。配線形成条件を選択することによりAlと高融点金属との反応を制御することが可能である。

【0019】下層配線でAlと高融点金属との過剰な反応を防止するには、高融点金属層の厚さが下層配線になるに従って単調に減少するようにするが、上層にするに従って配線形成進度を単調に増加するようにすればよい。Alと高融点金属の合金化による悪い影響を抑え、良い影響を保証することができる。

【0020】

【発明の実施の形態】本発明者の行った実験とその結果を順次説明する。高融点金属としてTiを用いた。

【0021】図1（A）に示すような積層配線の性質を調べた。サンプルの構成は、Si基板11の表面上に、フィールド酸化膜等の絶縁層12を形成し、その上に下側Ti層13、下側TiN層14、主導電層となるAl-Cu合金層15、上側Ti層16、上側TiN層17を積層したものである。下側Ti層13から上側TiN層17までの5層の積層によって1つの配線層Wを構成している。

【0022】この構成において、Al-Cu合金層15とその上の上側Ti層16とが直接接しており、熱処理による合金生成が問題となる。従来の技術においては、上側Ti層16は厚さ20nm程度に形成されていた。上側Ti層16を作成しない配線構造も知られているが、上側TiN層17を形成する際に、Al-Cu合金層15表面上にAl化合物が形成されること、その上にプラグ等を形成した時の接触抵抗が高くなってしまった。

【0023】以下に説明する実験において使用したサンプルは、次のような条件で作成した。

【0024】Si基板上に熱酸化膜（SiO₂）を厚さ100nm成長させ、その上に積層配線層をスパッタリングで成長した。下側Ti層13、上側Ti層16は、スパッタリング電力2kW、Arガス圧1mTorrで形成した。下側TiN層14、上側TiN層17は、スパッタリング電力5kW、Ar：Nガス流量比1：1、雰囲気ガス圧3mTorrで成長した。Al-Cu合金層15は、スパッタリング電力10kW、Arガス圧3mTorrで成長した。なお、スパッタリング装置は真空搬送を行なうマルチチャンバシステムを用いた。

【0025】積層配線層Wの抵抗は、初期作成直後に初期シート抵抗を測定し、その後約400℃、30分間の熱処理を単位として複数回の熱処理を行い、熱処理を加える毎にシート抵抗を測定した。抵抗測定は、渦電流によりウェハ内の9点を測定し、その平均を求めた。

【0026】図1(B)は、熱処理の繰返しに対するシート抵抗の変化を示したグラフである。図中、曲線R0は、厚さ20nmの下側Ti層13の上に、下側Ti層14、Al合金層15を形成し、上側Ti層16は形成せず、直接上側Ti層17を形成したサンプルを示す。曲線R1は、Al合金層15の上に、厚さ5nmの上側Ti層16を形成したサンプルを示す。曲線R2は、Al合金層15の上に厚さ10nmの上側Ti層16を形成したサンプルを示す。曲線R3は、Al合金層15の上に、厚さ20nmの上側Ti層16を形成したサンプルを示す。

【0027】図から明らかなように、各サンプルにおいて熱処理を繰返す毎に抵抗は上昇する。各サンプル間の特性を比較すると、上側Ti層16を有さないサンプルR0が最も低抵抗であり、Al合金層15の上に接触する上側Ti層16の厚さが増大するほど抵抗は大きくなっている。この結果からは、上側Ti層16は薄いほど配線層の抵抗が低く、3側Ti層がない方が上側Ti層を設けた時より配線層の抵抗が低く、好ましいことになる。

【0028】図2は、図1(A)に示すような積層配線層を基本単位とし、多層配線を形成したサンプルの構成を示す。

【0029】Si基板11上に、プラズマTEOS(テトラエトキシラン)によりSi酸化膜12を厚さ500nm成長した。Si酸化膜12上に、第1配線層W1を図1(A)を参照して説明したサンプルと、同一の工程により作成した。第1配線層W1の上に、レジストパターンを作成し、反応性イオンエッチング(RIE)によりレジストパターンに従って配線形状を加工した。

【0030】第1配線層W1を覆うように、シリコン酸化膜19を厚さ2000nm成長し、化学機械研磨(CMP)により表面を平坦化した。Si酸化膜19表面上に配線層接続部に対応した開口を有するレジストパターンを作成し、RIEにより接続孔H1を形成した。RF逆スパッタリングを行なって接続孔内をクリーニングした後、TiN層20を厚さ50nmスパッタリングで形成し、その後タンガステン層21を厚さ500nmCVDにより形成した。続いて、ドライエッチングによってW層を全面エッチングし、接続孔H1内部にのみW領域21を残した。

【0031】接続孔H1内のTiN層20およびタンガステン領域21が導電性プラグP1を構成する。プラグP1を含む層間絶縁層19表面上に、図1(A)に示した配線層Wと同じ構成を有する第2配線層W2を形成し

た。第2配線層W2上にレジストパターンを形成し、RIEによって加工を行い、第2配線層W2のパターンを得た。この結果、第1配線層W1と第2配線層W2はプラグP1を介して電気的に接続される。

【0032】さらに、第2配線層W2を覆うように、CVDによりSi酸化膜24を厚さ2000nm成長し、CMPにより表面を平坦化した。層間絶縁膜24表面上にレジストパターンを形成し、RIEを行うことにより、接続孔H2を形成した。この接続孔内を埋め込むように、最上層配線を形成した。最上層配線は、接続孔内をRF逆スパッタリングによりクリーニングした後、厚さ30nmのTi層25と、厚さ600nmのAl-Cu合金層26を成長することによって行なった。最上層配線の上に、レジストパターンを形成し、最上層配線層をパターンニングした。

【0033】最上層配線層を覆うように、プラズマCVDによりSi酸化膜27を厚さ2000nm成長し、その上にSiN膜28を厚さ500nm成長した。SiN膜28、Si酸化膜27を貫通してパッド孔を形成し、最上層配線の所望領域を露出した。その後、Si基板11の背面を研削した。このように作成したサンプルに対し、400℃、30分の熱処理を繰返し行なった。

【0034】図3は、ケルビン(Kelvin)パターンによるビア抵抗のTi層厚依存性の実験を示す。

【0035】図3(A)は、ケルビンパターンの形状を模式的に示す。第1配線層W1は、中間部分でほぼ直角に折れ曲がっており、屈曲部において接続孔内のプラグにより第2配線層W2に接続されている。第1配線層W1および第2配線層W2は、それぞれ両端においてパッドT1、T2およびT3、T4に接続されている。パッドT1からT3に向かって電流*I*を流し、パッドT2、T4間で電圧を測定することにより、ビア抵抗を測定する。なお、配線層の幅は0.54μm、ビア孔は径0.44μmであった。抵抗測定は、通常のプローブを用い、4顕微鏡で測定した。サンプルとしては、上側Ti層の厚さを0nm、5nm、10nm、20nmに変化させ、同一構成のサンプルをそれぞれ108個用いた。

【0036】図3(B)は、測定結果を示すグラフである。図中横軸はケルビンビア抵抗を単位Ωで示し、縦軸は同一のケルビンビア抵抗が出現する累積頻度を%で示す。

【0037】曲線CP0、CP1、CP2、CP3は、それぞれ上側Ti層の厚さが、0nm、5nm、10nm、20nmのサンプルを示す。図中測定点は右にいくほど抵抗が高く、悪い結果を示している。また、曲線の傾斜が低いほど分布が広く、悪い結果を示す。上側Ti層を有さない曲線CP0は、抵抗自体も大きく、分布も大きい悪い結果を示している。

【0038】上側Ti層を形成した曲線CP1、CP2、CP3は、上側Ti層を有さない曲線CP0に対

し、著しく抵抗が低くなり、曲線の傾きも急となって分布が狭くなり、改良された結果を示している。なお、上側T1層の厚さによる差はほとんど認められない。この結果から、プラグを介して配線層間を接続する構成においては、上側T1層を形成することが著しく好ましく、ほぼ不可欠であることが判る。

【0039】図4は、第一配線層内におけるエレクトロマイグレーションの実験を示す。図4(A)は、サンプルの配線パターンを示す概略平面図である。配線層Wは、両端にパッドT5、T6を有し、パッドT5からパッドT6に向かって電流を流す。配線層Wの中間に、さらにパッドT7、T8が接続され、配線層内における電圧降下を測定する。

【0040】この実験に用いたサンプルは、図1(A)に示すような構成であり、Si基板11の上にプラズマTEOSのSi酸化膜12を厚さ500nm成長し、その上に、図1(A)を参照して説明した工程により積層配線層Wを形成した。上側T1層の厚さは、上述の場合と同様、0nm、5nm、10nm、20nmと変化させた。この配線層上に、レジストパターンを形成し、RIEを行なって配線層Wをパターンニングした。配線パターンWの幅は、0.6 μm 、2.0 μm 、8 μm に変化させた。配線層Wの上に、プラズマTEOSのSi酸化膜を2000nm成長し、CMPによって平坦化して絶縁膜を形成した。絶縁膜を貫通して、パッドに達する開孔をレジストパターンとRIEを用いたパターンニングにより形成した。その後、450°C、30分間のアニールを10回行った。

【0041】実験における評価方法は、配線Wの両端T5、T6から電流を流し、抵抗値をモニタする。抵抗値が20%上昇した時、そのサンプルは不良と判断する。同一条件で20個のサンプルを試験し、不良数が対数正規分布に従うと仮定し、50%が不良となる50%不良時間 \bar{t} 50を見積もる。電流密度は、各配線幅のサンプルにおいて共通に2MA/ cm^2 に設定した。すなわち、配線幅が広い場合、それだけ多くの電流を流した。サンプルの放置温度は250°Cであった。

【0042】図4(B)は、実験結果を示すグラフである。縦軸は上側T1層の厚さを単位nmで示し、縦軸は50%不良時間 \bar{t} 50を単位時間(hrs)で示す。

【0043】配線幅が0.6 μm のサンプルを示す曲線L1は、上側T1層の厚さ5nmで最大値を示し、第2T1層の厚さが厚くなるに従って減少する結果を示している。また、上側T1層を有さない場合の50%不良時間は最大値より1桁以上減少している。配線幅が2 μm のサンプルを示す曲線L2は、上側T1層を形成しない場合、50%不良時間が最も短く、上側T1層を形成すると、その厚さによらず、50%不良時間 \bar{t} 50は改良されたば一定の値を示している。

【0044】配線幅が8 μm のサンプルを示す曲線L3

は、上側T1層を有さない場合、50%不良時間 \bar{t} 50が最小値を示し、上側T1層が5nm、10nmとなるに従って50%不良時間 \bar{t} 50は改善されている。

【0045】図4(B)に示す結果は、配線幅によって異なる挙動を示している。配線幅が広い場合(2 μm 、8 μm)、Al合金層上に直接T1層を成長すると、寿命が短くなることが示されている。これは、一般的に知られている事実と一致する。配線幅が狭い場合(0.6 μm)、上側T1層の厚さが5nm周辺で特徴的な最大値を示している。より具体的には、2853時間の試験を行い、20個のサンプル中3個しか不良にならなかった。

【0046】図5は、長さ依存エレクトロマイグレーション(LDEM, length dependence electromigration)の実験を示す。

【0047】図5(A)は、サンプルの構成を概略的に示す。Si基板11の上に、厚さ500nmのSi酸化膜12をプラズマTEOSにより形成し、その上に第1配線層W11、W12、…、第2配線層W21、W22、…をプラグP1、P2、…を介して接続した構造を作成した。配線構造の作成は、図2を参照して説明した工程と同様である。Si基板の背面研削後、400°C、30分間の熱処理を5回行った。

【0048】サンプルの形状は、配線幅が0.54 μm であり、プラグP1、P2、…を形成する接続孔の径は0.5 μm である。第1配線層W11、W12、…と、第2配線層W21、W22、…とは、交互にプラグP1、P2、…で接続されている。

【0049】配線層の長さは、2 μm (W11) - 2 μm (W21) - 5 μm (W12) - 5 μm (W22) - 10 μm (W13) - 10 μm (W23) - 20 μm (W14) - 20 μm (W24) - 50 μm (W15) - 50 μm (W25) - 100 μm (W16) - 100 μm (W26) - 200 μm (W17) - 200 μm (W27)と徐々に変化させて接続した。

【0050】測定は、サンプルを250°Cの雰囲気中に保ち、2mAの電流をパターン両端から流し、接続した配線の抵抗を5分間隔でモニタする。抵抗が初期抵抗より20%高くなった時、配線が不良になったと定義する。同一条件で20個のサンプルを評価し、不良数が対数正規分布に従うと仮定して、50%不良時間 \bar{t} 50を算出した。

【0051】図5(B)は、測定結果を示す。縦軸は上側T1層の厚さを単位nmで示し、縦軸は50%不良時間 \bar{t} 50を単位時間(hrs)で示す。曲線L4は、配線幅が0.54 μm の接続配線に対するLDEMを示す。上側T1層の厚さが0nmから5nmになると、LDEMの50%不良時間は幾分か改善されている。下側T1層の厚さが5nmから10nmに増加すると、LDEMの50%不良時間 \bar{t} 50は急速に低下し、その後上側

Ti層の厚さを増加させると、さらに緩やかに減少する。

【0052】上側Ti層の厚さが20nmの時の50%不良時間でもギリギリで使用できる値であるが、マージンが少なく管理し難い条件となる。第2Ti層の厚さが10nmとなると、若干寿命が長くなる。第2Ti層の厚さが5nmの場合、寿命は大幅に長くなり、非常に優れた結果を示している。

【0053】上側Ti層を作成しない場合も、上側Ti層が5nmの厚さの時に近い良好な結果を示している。ただし、図3(B)の実験結果に示すように、上側Ti層を用いしないと、ビザ抵抗の値が高くなってしまい、図4(B)の実験結果に示すように、同一配線層内の50%不良時間が低くなってしまふ。

【0054】以上の結果を総合すると、A1(A1合金)層に直接接触するTi層を形成する場合、その厚さを2nm~7nm、より好ましくは4nm~7nmの範囲内に選択することにより臨界的に優れた結果が得られることが判る。

【0055】図6は、上側Ti層の厚さを変化したサンプルの熱処理後の断面TEM写真のスケッチを示す。図6(A)は、上側Ti層16が厚さ5nmの場合を示す。A1合金層15は、結晶粒を形成し、結晶粒が接する粒界領域において、上側Ti層とA1とが反応したA1-Ti反応物領域18が現れている。ただし、A1結晶粒の上においては、上側Ti層16はほとんどA1と反応せず、Ti層のまま残っている。

【0056】図6(B)は、上側Ti層の厚さを10nmとしたサンプルの断面構造を示す。このサンプルにおいては、A1合金層15の結晶粒上方でも上側Ti層は消滅し、A1とTiの反応したA1-Ti反応層18が形成されている。A1-Ti反応物は、Al₃Tiと認識されており、初期の上側Ti層(厚さ10nm)よりも増大した厚さを有する。

【0057】図6(C)は、上側Ti層の厚さを20nmとした場合のサンプルの構成を示す。A1合金層15の結晶粒上方でも上側Ti層は消滅し、A1-Ti反応層18がより厚く形成され、A1合金層15の厚さは薄くなっている。

【0058】理由は未だ不明であるが、A1(A1合金)層の上に、薄いTi層を形成した場合、熱処理を行なってもA1とTiとの反応が抑制され、粒界部においてのみA1-Ti反応が進行していることが判る。

【0059】A1とTiとの反応が生じる場合は、Ti層の厚さに応じて反応層の厚さが決定されると判断される。従って、Ti層の厚さと熱処理条件により、A1-Ti反応層の厚さが決まるであろう。

【0060】図6の結果を含めて以上の結果を総合すると、配線層間をプラグで接続する多層配線構造において、A1(A1合金)層の上に薄いTi層を形成すること

とが好ましく、このTi層の厚さは約2nm~約7nmとすることが好ましく、約4nm~7nmとすることがさらに好ましい。厚さ2nmのTi層を作成することは、工程管理上も困難な点があり、製造工程の管理の容易性も考慮すると、約4nm~約7nmの厚さとすることが特に好ましい。

【0061】図7は、本発明の実施例による多層配線構造を概略的に示す。Si基板11内に接続領域10が形成されており、その上にプラグP1が接続されている。第1配線層W1は、プラグP1と接続し、その上面でプラグP2に接続される。第2配線層W2は、プラグP2に接続し、その上面においてプラグP3に接続される。第3配線層W3は、プラグP3に接続し、その上面において、プラグP4に接続される。第4配線層W4は、プラグP4に接続する。これらの多層配線は、絶縁領域9によって周辺から絶縁されている。

【0062】図7(B)は、最上層の配線層以外の配線層の積層構造を示す。各配線層Wiは、最も下にTi層13を有し、その上にTiN層14が形成されている。TiN層14の上に主導電層であるA1(A1合金)層15が形成され、主導電層15表面を厚さ2~7nm、より好ましくは4~7nmの厚さのTi層16が覆う。このTi層16の上にTiN層17が形成されている。主導電層15と直接接するTi層16の厚さを2~7nm、より好ましくは4~7nmとすることにより、配線層の抵抗を低く抑え、かつ寿命を長く保つことが可能となる。

【0063】図7(C)は、最上層の配線の積層構造を示す。最上層の配線層WTは、Ti層13、TiN層14、A1またはA1合金層15の積層から構成され、その上にはTi層、TiN層を有さない。最上層配線層は、さらにプラグに接続する必要があるため、上側のTi層、TiN層は不要なためである。

【0064】なお、エレクトロマイグレーションは、A1粒界において特に生じやすいことが知られている。A1粒界において、A1-Ti反応を生じさせると、エレクトロマイグレーションに対して耐性が向上することが期待される。このためには、ある程度のA1-Ti反応を生じさせることが望まれる。

【0065】多層配線においては、上層配線になるほど熱処理の量が少なくなる。この点を考慮すると、各配線層がA1(A1合金)層-Ti層の積層を含む多層配線において、下層配線に向かうほど、Ti層の厚さを薄くすることが好ましいであろう。

【0066】たとえば、多層配線において、A1(A1合金)層と直接接するTi層の厚さを下層から上層に向かって5nm、10nm、15nm、20nmのように単調に増加させる。A1-Tiの過度の反応を防止するためには、下層から上層に向かって5nm、10nm、15nm、10nm、…のように単調に増加させてもよい。プロセスマージンも考慮すると、厚さの変化は種々に設定

できる。

【0067】なお、多層配線を作成する際、同一厚さのT_i層を用い、上層配線になるに従い、配線形成温度を高くしてもよい。

【0068】以下、CMOS半導体装置を製造する場合を例にとって本発明の実施例による半導体装置の製造方法を説明する。

【0069】図8(A)に示すように、p型Si基板31表面上に、パツファ酸化膜32を介してSi₃N₄膜パターン33を形成する。Si₃N₄膜パターン33は、LOCOSにおける酸化マスクとして機能する。Si₃N₄膜パターン33で覆われた領域が活性領域となり、その他の領域にはフィールド酸化膜が形成される。

【0070】pチャネルMOSFETを作成するためのn型ウェルを形成するため、n型ウェル領域に開孔を有するレジストパターンR1を作成する。このレジストマスクR1をマスクとし、PイオンをSi₃N₄膜33、パツファ酸化膜32を介してp型Si基板31にイオン注入する。このように、n型ウェル形成用のイオン注入を行った後、レジストマスクR1を除去し、酸化性雰囲気中で熱酸化を行い、LOCOS工程によって酸化膜を成長させる。

【0071】図8(B)に示すように、フィールド酸化膜36を形成した後、n型ウェル34を覆うレジストマスクR2を形成し、p型ウェル形成のためのBイオン注入を行う。Bのイオン注入により、p型ウェル38が形成される。その後、レジストマスクR2、Si₃N₄膜パターン33を除去する。続いて、n型ウェル34、p型ウェル38表面上のパツファ酸化膜も除去する。

【0072】図8(C)に示すように、露出した活性領域表面に熱酸化によりゲート酸化膜41を形成する。さらに、ゲート酸化膜41上に、多結晶Si膜42をCVDにより成長し、必要に応じWSi₃膜43をCVDまたはPVDにより成長する。さらに、必要に応じてWSi₃膜43の上にSiO₂膜44をCVDにより成長する。

【0073】なお、多結晶Si膜42、WSi₃膜43を成長した時は、これらの積層がゲート電極層Gを形成する。多結晶Si層のみでゲート電極層を形成した時は、この後に行われるシリサイド反応工程において、多結晶Si膜のトにシリサイド膜が形成される。

【0074】ゲート電極用の積層構造を形成した後、積層上にレジストパターンR3を形成し、ゲート電極のパターニングを行う。積層構造をパターニングした後、レジストマスクR3は除去する。

【0075】図9(A)に示すように、p型ウェル38を露出する開孔を有するレジストマスクR4を形成し、Pイオンをイオン注入してLDD用のn⁺層46を形成する。その後レジストマスクR4を除去し、今度はn型ウェル34を露出する開孔を有するレジストマスクR5を形成する。レジストマスクR5をマスクとし、BF₂

イオンをイオン注入してLDD用のp⁺領域47を形成する。その後レジストマスクR5は除去する。

【0076】図9(B)に示すように、ゲート電極を覆って基板全面上にSiO₂膜をCVDにより形成し、異方性エッチングを行なうことによってゲート電極側壁上部のみゲートサイドウォール48を形成する。ゲート電極上部も酸化膜44aで覆われている。

【0077】図9(C)に示すように、図9(A)に示したと同様のレジストマスクを用いてp型ウェル38に対し、Asをイオン注入して高不純物濃度のソース/ドレイン領域49を形成し、n型ウェル34にBF₂をイオン注入して高不純物濃度のソース/ドレイン領域50を形成する。

【0078】図10(A)に示すように、基板全面上にT_i層を堆積し、熱処理を行なうことによってSi₃が露出している領域上にT_iSi層51を形成する。このシリサイド反応後、未反応T_i層は除去する。なお、T_iの代わりにCoを用い、CoSi層を形成してもよい。

【0079】図8(C)において、ゲート電極を多結晶Si層のみで形成し、SiO₂膜44も形成しなかった場合は、多結晶ゲート電極層上にもシリサイドが形成される。

【0080】図10(B)がこの場合を示す。基板全面上にT_i層を堆積し、熱処理を行なってシリサイド反応をさせることにより、ソース/ドレイン領域49、50および多結晶シリコンゲート電極42上にT_iSi層51が形成される。

【0081】このようにして、CMOS構造を形成した後、表面上に層間絶縁膜52を形成する。層間絶縁膜52は、CVDによる酸化シリコン層52aと、SOG層52bの積層からなる。なお、SOG膜を形成した後、表面をCMPによって平坦化する。その後、レジストマスクを用いてコンタクトホール53を形成する。

【0082】図11(A)に示すように、接続孔53を形成した絶縁層52表面上および接続孔53の内面上にT_i層54、T_iN層55を堆積し、その後、CVDによりタングステン層56を成長し、接続孔を埋め込む。その後、全面的にエッチングを行なうことにより、上部平坦面上のタングステン層56を除去する。

【0083】その後、T_i層13、T_iN層14、AlまたはAl合金層15、T_i層16、T_iN層17の積層で形成される第1配線層W1を形成し、レジストマスクを用いてパターニングする。この際、上側T_i層16の厚さは2〜7nmの厚さとする。

【0084】なお、タングステン層をエッチングで除去する場合を説明したが、CMPによって平坦面上のタングステン層を除去してもよい。

【0085】図11(B)は、この場合を示す。タングステン層形成後、CMPを行って接続孔52の平坦な表面を露出する。接続孔53内には、T_i層54、T_i

N層55、W領域56が残される。その後、第1配線層W1を形成する。

【0086】図11(C)に示すように、第1配線層W1を形成した後、層間絶縁膜57を形成し、その表面を平坦化する。層間絶縁膜57に接続孔を形成し、TiN層58、W層59を形成し、平坦面上のW層をエッチングにより除去する。このようにして、層間絶縁膜57を貫通するプラグを形成する。

【0087】なお、平坦面上のW層の除去は、前述同様エッチングの他、CMPによって行なってもよい。図11(D)はこの場合を示す。タングステン層形成後、CMPを行い、層間絶縁膜57表面を露出し、平坦な表面を形成する。

【0088】その後、図11(A)、(B)に示す工程と同様の工程を行い、第2配線層を形成する。以後、層間絶縁膜形成、接続孔形成、プラグ形成、配線層形成の工程を繰り返して、必要な層数の多層配線構造を得る。各配線層において、A1またはA1合金の主導電層の上には、厚さ2〜7nmのTi層を形成することが好ましい。

【0089】なお、積層的に主導電層の境界部にA1〜Ti合金領域を形成する場合には、Ti層の厚さを厚くしてもよい。この場合、多層配線における熱処理の履歴を考慮し、上層に向かうほどTi層の厚さを厚く(下層に向かうほどTi層の厚さを薄くする)ことが好ましい。A1(A1合金)層の厚さを上層になるほど厚くする等、レベルに応じて変化させる場合、A1(A1合金)層の厚さに対するTi層の厚さの比を下層になるほど単調に減少させることが好ましい。

【0090】図12に示すように、数年前から、ビアホール内のA1配線がホール開口後の熱処理で突起状に膨れてくという現象が報告されている。絶縁層9a上に配線層Wを形成し、その表面を絶縁層9bで覆う。絶縁層9bを貫通して配線層Wに達するビアホールHを形成する。その後上層配線を形成するための熱処理を行なうとビアホールH内に突起Pが生じる。これを防ぐパラメータは、上層配線(例えば第2層目配線)の成長時熱処理と下層配線(例えば第1層目配線)の上部にあるTiN/Tiの厚さ(強さ)に依存するものと思われる。

【0091】この現象は、熱膨張係数の違いから、周囲の絶縁膜からのストレスでA1がビアホール内に押し出されると説明されている。したがって、A1上のTiN/Tiが薄いほど出にくい、上層の配線層成長時の熱処理が低いほど出にくいことは容易に想像される。

【0092】ところが、上述の実施例では信頼性を向上させるためにTiを薄くし、さらにA1〜Ti反応層厚も薄くしようとしている。反応層が薄いと、突起不良が出やすくなる可能性がある。突起不良を防止するためには、第1層目配線層のTiは薄くしても、第2層目配線層から少しずつTi層(TiN/Ti層)を厚くしてい

った方が有利である。できれば、A1とTiとを反応もさせた方が突起不良防止のためにより好ましいであろう。しかし、Tiが薄い状態で熱処理温度を突然上げると、その時点で突起が出てしまうので、1層目は低温で反応させず、2層目から少し厚くし、温度を上げて反応させる等の段階的な強化を行なうことが好ましい。

【0093】一般的傾向として、上層配線にいくに従って配線層厚は厚くなる傾向にあるので、シート抵抗を考慮すれば、Ti層を相対的に厚くして反応させた方が突起不良に関しては有利になる。

【0094】なお、製造プロセスにおけるマージンを考慮し、Ti層の厚さ(または厚さの比)を全配線層に対し、同一としてもよい。この場合、上層に向かうほど配線層形成時の熱処理温度を高くすることが好ましい。

【0095】最上層の配線層を形成した後、絶縁膜としてSi酸化膜(PSG等)、SOG膜、SiNカーボン膜等を成長させる。その後、バンド形成用の開孔をレジストパターンを用いたRIEで形成する。最後に、水素雰囲気中のアニールを行い、背面研磨を行なって半導体装置を完成させる。

【0096】以上、高熔点金属としてTiを用いる場合を説明したが、W等の他の高熔点金属を用いることもできる。この場合、TiNはWNの高熔点金属窒化物とするのがよい。

【0097】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0098】

【発明の効果】以上説明したように、本発明によれば、接触抵抗を含む配線の抵抗が低く、かつエレクトロマイグレーション等に対する信頼性の高い多層配線を有する半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明者が行なった実験を説明するための断面図およびグラフである。

【図2】本発明者が行なった実験を説明するための断面図である。

【図3】本発明者が行なった実験を説明するための断面図およびグラフである。

【図4】本発明者が行なった実験を説明するための断面図およびグラフである。

【図5】本発明者が行なった実験を説明するための断面図およびグラフである。

【図6】実験の結果得たリンドルの断面構成を示すTEM写真のスケッチである。

【図7】本発明の実施例による多層配線を説明するための断面図である。

【図8】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図9】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図10】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図11】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図12】ビアホール内のAl配線に生じる突起現象を概略的に示す断面図である。

【符号の説明】

9 絶縁領域

11 Si基板

12 Si酸化膜

13 下側Ti層

14 下側TiN層

15 主導電層

16 上側Ti層

17 上側TiN層

18 Al-Ti反応層

19、24、27、32 Si酸化膜

20 TiN層

21 タングステン層

25 Ti層

26 Al-Cu導電層

28、33 SiN層

31 p型Si基板

34 n型ウェル

36 フィールド酸化膜

38 p型ウェル

41 ゲート酸化膜

42 多結晶Si層

43 WS₂層

44 酸化Si層

G ゲート電極

46、47 LDD領域

10 48 サイドスペーサ

49、50 高不純物濃度ソース/ドレイン領域

51 シリサイド層

52 絶縁層

53 接続孔

54 Ti層

55 TiN層

56 タングステン層

57 層間絶縁膜

58 TiN層

20 59 タングステン層

W1-W4、WT 配線層

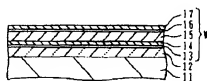
P1-P4 導電性プラグ

H1、H2 接続口

T1-T8 パッド

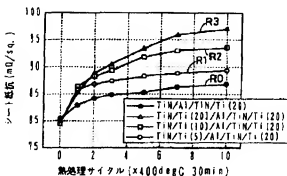
【図1】

(A)

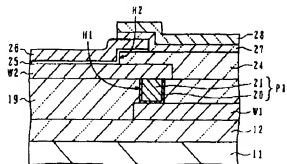


13、16: Ti
14、17: TiN
15: Al-Cu

(B)

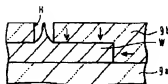


【図2】

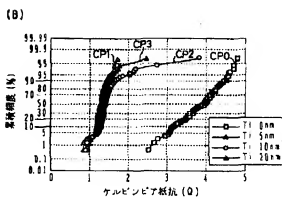
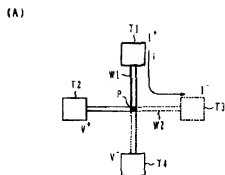


20: TiN
21: タングステン
25: Ti
26: Al-Cu

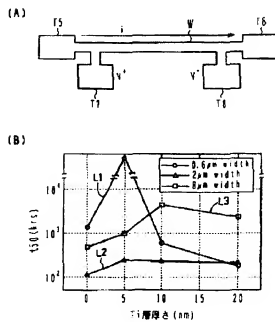
【図12】



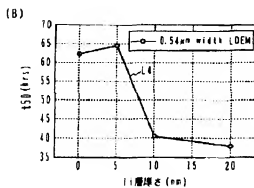
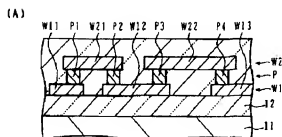
【図3】



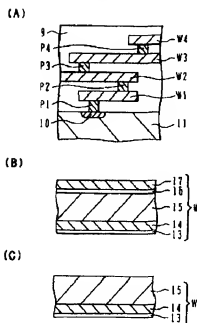
【図4】



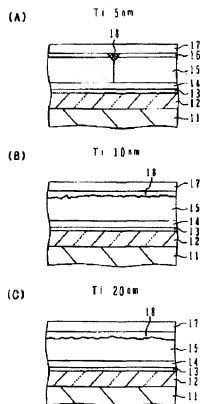
【図5】



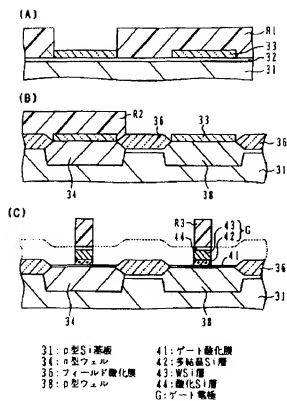
【図7】



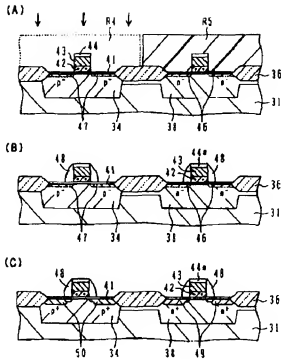
【図6】



【図8】



【図9】



【図10】

